

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/396

In re patent application of

Kwang-du LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: INDUCTOR FOR RADIO FREQUENCY INTEGRATED CIRCUIT

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

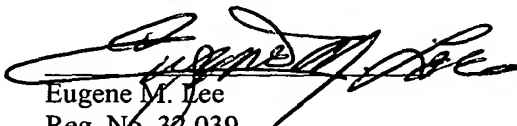
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-55634, filed September 13, 2002.

Respectfully submitted,

September 12, 2003
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

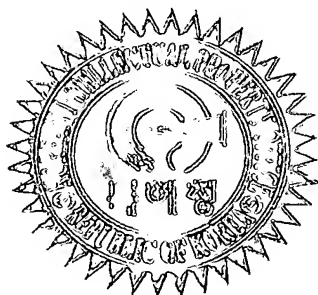
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0055634
Application Number

출원년월일 : 2002년 09월 13일
Date of Application SEP 13, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



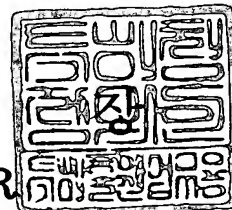
2003 년 02 월 08 일

특

허

청

COMMISSIONER



52



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0016
【제출일자】	2002.09.13
【국제특허분류】	H01L
【발명의 명칭】	고주파 집적회로에 사용되는 인덕터
【발명의 영문명칭】	Inductor using in Radio Frequency Integrated Circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	이광두
【성명의 영문표기】	LEE, Kwang Du
【주민등록번호】	721225-1624118
【우편번호】	139-847
【주소】	서울특별시 노원구 월계4동 512-9
【국적】	KR
【발명자】	
【성명의 국문표기】	김훈태
【성명의 영문표기】	KIM, Hoon Tae
【주민등록번호】	650101-1690621



1020020055634

출력 일자: 2003/2/10

【우편번호】	449-740
【주소】	경기도 용인시 기흥읍 두진아파트 103동1307호
【국적】	KR
【발명자】	
【성명의 국문표기】	조계옥
【성명의 영문표기】	CH0,Gea Ok
【주민등록번호】	640809-1634824
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 501동 1301호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 이영 필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	41,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

RFIC에 사용되는 인덕터에 관해 개시되어 있다. 개시된 인덕터는 수직 나선 구조를 이루는 복수의 단위 인덕터들을 포함하되, 상기 복수의 단위 인덕터들 중에서 적어도 선택된 어느 하나는 수직 단면이 역사다리꼴이 되도록 형성된 것을 특징으로 한다. 이러한 인덕터를 이용하면, 반도체 제조공정의 CMOS 공정을 그대로 이용할 수 있기 때문에 별도의 공정이 추가되지 않는 이점이 있다. 그리고 기판과 인덕터, 인덕터를 구성하는 금속층들사이의 수직 및 수평 커플링에 의한 기생 성분을 최소화할 수 있기 때문에 쿼값(Q-factor)을 높일 수 있을 뿐만 아니라 인덕터 소자로서의 이용 범위를 확대시킬 수 있다. 또한, 금속층의 턴(turn)수가 동일하더라도 종래의 다층 수평구조에 비해 인덕터가 차지하는 면적을 줄일 수 있다. 더욱이 향후 공정이 더 발달되어 게이트 길이가 줄어들고 금속층의 적층수가 더 많아질 경우, 인덕턴스는 더욱 증가될 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

고주파 집적회로에 사용되는 인덕터{Inductor using in Radio Frequency Integrated Circuit}

【도면의 간단한 설명】

도 1은 RFIC에 사용되는 일반적 인덕터의 구조를 보여주는 사시도와 그 등가회로도이다.

도 2는 종래 기술에 의한 RFIC에 사용되는 인덕터의 단면도이다.

도 3은 종래의 다른 기술에 의한 RFIC에 사용되는 인덕터의 평면도이다.

도 4는 본 발명의 제1 실시예에 의한 RFIC에 사용되는 제1 인덕터의 사시도이다.

도 5 및 도 6은 각각 도 4에 도시한 제1 인덕터에 포함된 제1 및 제2 단위 인덕터의 수직 단면도이다.

도 7은 본 발명의 제2 실시예에 의한 RFIC에 사용되는 제2 인덕터의 사시도이다.

도 8 내지 도 10은 각각 도 7에 도시한 제2 인덕터에 포함된 제3 내지 제5 단위 인덕터의 수직 단면도이다.

도 11은 본 발명 및 종래 기술에 의한 인덕터를 비교하기 위한 시뮬레이션에 사용된 본 발명의 제1 실시예에 의한 인덕터를 입체적으로 보여주는 도면이다.

도 12는 본 발명의 제1 및 제2 실시예에 의한 인덕터들과 종래 기술에 의한 인덕터에 대한 시뮬레이션 결과를 보여주는 그래프이다.

도면의 주요 부분에 대한 부호설명

40:기판	42:절연층
44:제1 금속층	50, 50a:제2 금속층
56, 56a:제3 금속층	62, 62a:제4 금속층
68, 68a, 68b:제5 금속층	74, 74a, 74b:제6 금속층
46, 52, 58, 64, 70 및 76:제1 내지 제6 층간 절연층	
48:제1 도전성 플러그	54, 54a:제2 도전성 플러그
60, 60a:제3 도전성 플러그	66, 66a:제4 도전성 플러그
72, 72a:제5 도전성 플러그	d:제1 비어홀(h1)사이의 거리
d1:제1 금속층(50a)의 길이	D1, D2:제1 및 제2 인덕터
D1a, D1b, D1c, D2a, D2b 및 D2c:제1 내지 제6 단위 인덕터	
h1:제1 비어홀(via hole)	h2, h2a:제2 비어홀
h3, h3a:제3 비어홀	h4, h4a:제4 비어홀
h5, h5a:제5 비어홀	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 인덕터에 관한 것으로서, 자세하게는 다층 수직 구조이면서 수평으로 나선형인 RFIC(Radio Frequency Integrated Circuit)에 사용되는 인덕터에 관한 것이다.

- <25> 인덕터는 RFIC에 포함된 중요 수동 소자들 중의 하나이다. RFIC에서 인덕터는 가장 넓은 면적을 차지하면서 로시(lossy)한 기판의 누설영향 때문에 좋은 특성을 얻기가 어려워 통신의 품질을 떨어뜨리는 결과를 초래하고 있다.
- <26> 인덕터는 RF회로에서 임피던스 매칭(impedance matching)을 위해 없어서는 안될 중요한 수동소자로서, 특히 전압 제어 오실레이터(Voltage Controlled Oscillator(VCO)에 이용되는 공진 탱크(L-C circuit)의 하이 퀄리티 팩터(High-Quality Factor)(이하, High-Q라 한다)는 위상잡음을 감소시켜주는 중요한 소자이다. 그러나 기판의 누설로 인해 상보성 금속 산화물 반도체(Complementary Meta Oxide Semiconductor, 이하 CMOS)공정에서 하이-큐(High-Q)를 갖는 인덕터 구현이 어렵다.
- <27> 이에 따라, 하이-큐를 갖는 인덕터 구현을 위해 다양한 방법이 연구되고 있는데, 예를 들면, 고저항 기판을 이용하는 방법, 기판과 인덕터간의 간격을 넓히기 위해 상기 기판 상에 형성되는 산화막을 두껍게 형성하는 방법, 인덕터를 형성한 후 그 아래의 기판을 에칭하는 방법, 기판 상에 접지용 금속층(ground metal layer)을 형성하여 차폐(shielding)하는 방법 등이다.
- <28> 이러한 방법들은 별도의 CMOS 공정을 필요로 한다. 때문에 상기 방법들을 이용하여 인덕터를 만드는 경우, 공정 비용이 높아지게 된다.
- <29> 한편, RFIC를 구현함에 있어, 인덕터의 면적과 제조단가가 비례함을 감안할 때, 상기 RFIC에서 가장 넓은 면적을 차지하는 종래 기술에 의한 인덕터는 큰 부담이 된다.

- <30> 인덕터의 인덕턴스를 높이기 위하여 턴(turn)수를 늘릴 수 있는데, 이러한 방법은 도체 손실로 인한 쿼 팩(Q-factor)의 감소와 실리콘 기판과의 커플링 영향 때문에 공진 주파수가 낮아지면서 사용 범위가 감소하는 한계를 가지고 있다.
- <31> 예를 들어, 0.18 μm 의 CMOS 공정이 적용된, 폭 15 μm , 턴(turn)사이의 간격 1.5 μm , 도체 두께 2 μm , 내경이 60 μm 인 나선형(spiral) 인덕터에서, 턴(turn)수가 3.5일 때, 쿼 팩(Q-factor)은 2GHz에서 6.5, 인덕턴스는 3.8nH, 사용범위는 6GHz인 반면, 상기 턴(turn)수가 7.5일 때, 쿼 팩은 2.5, 인덕턴스는 17.6nH, 사용범위는 3GHz로서 한계를 보여주고 있다.
- <32> 또, 인덕터의 도체 선로와 선로사이의 커플링을 비롯해서 실리콘 기판과의 커플링, 로시(lossy)한 기판에 의한 영향등으로 회로 설계를 위한 물리적, 구조적 특성에 맞는 모델을 구현하기가 어렵다.
- <33> 도 1은 RFIC에 사용되는 일반적인 인덕터의 구조를 입체적으로 보여줌과 동시에 그 등가회로를 보여준다. 여기서, 참조부호 L_s 는 나선형 인덕터의 자기 인덕턴스와 인덕터를 구성하는 금속선들사이의 상호 인덕턴스를 합친 총 인덕턴스이다. 그리고 참조부호 R_s 는 인덕터의 직류(DC) 저항 및 초고주파 표피 효과(skin effect)를 고려한 교류(AC) 저항의 합을 나타낸다. 또한, 참조부호 C_s 는 상기 금속선들사이에 형성되는 기생 커패시터의 커패시턴스를, C_p 는 인덕터와 기판사이에 형성되는 기생 커패시터의 커패시턴스를 나타낸다. 후자의 경우, 기판과 인덕터사이에 형성된 절연층의 두께로부터 계산된다. 마지막으로, 참조부호 R_p 는 실리콘 기판의 초고주파 누설 효과를 모델링한 것이다.
- <34> 도 1에 도시한 등가회로 전체의 쿼팩은 아래의 수학적 식 1로 계산된다.

<35> **【수학식 1】**
$$Q(\text{qualityfactor}) = \frac{\text{MagneticEnergy}(Em) - \text{ElectricEnergy}(Ee)}{\text{EnergyLoss}(Eloss)}$$

<36> 수학식 1에서, 자기 에너지(Magnetic Energy)(Em) 및 전기 에너지(Electric Energy)(Ee)는 각각 아래의 수학식 2 및 3으로 계산된다. 그리고 에너지 손실(Energy Loss)(Eloss)은 수학식 4로 계산된다.

<37> **【수학식 2】**
$$Em = \frac{V^2 \omega Ls}{2[(\omega Ls)^2 + Rs^2]}$$

<38> **【수학식 3】**
$$Ee = \frac{V^2 \omega (Cs + Cp)}{2}$$

<39> **【수학식 4】**
$$Eloss = \frac{V^2}{2} \left[\frac{1}{Rp} + \frac{Rs}{(\omega Ls)^2 + Rs^2} \right]$$

<40> 수학식 2 내지 4를 통해서 도체 저항(Rs)과 커플링에 의해 형성되는 기생 커패시터의 커패시턴스(Cs, Cp)가 작을수록 자기 에너지(Em)는 커지는 반면, 전기 에너지(Ee) 및 에너지 손실(Eloss)은 작아짐을 알 수 있고, 이에 따라 수학식 1로부터 쿨값이 커진다는 것을 알 수 있다.

<41> 도 2는 이러한 관점에서 다층으로 적층된 제1 및 제2 도전층 패턴(1, 2)을 콘택홀(contact hole)(3)로 연결하여 인덕터를 구성하는 도전층의 두께를 증가시켜 도전층의 저항(Rs)을 작게 하면서 제1 도전층 패턴(1) 아래에 제1 도전층 패턴(1)과 리드 콘택홀(3A)을 통해 연결된 리드 와이어링(lead wiring)(2A)을 형성하여 전체 금속층 수를 줄인, 종래 기술(USP6,002,161)에 의한 다층 수평 구조의 인덕터 단면을 보여준다. 여기서, 참조번호 100은 기판을, 101 및 102는 각각 층간 절연층을 나타내고, 참조부호 1A는 제1 도전층 패턴(1)과 연결된 리드 와이어링을 나타낸다.

<42> 한편, 도 3은 평면구조의 한계를 보상하기 위해 제시된, 종래 기술(USP6,291,872)에 의한 다층 수직구조의 나선형 인덕터를 보여준다. 여기서, 참조번호 201, 205 및 207은 각각 제1 내지 제3 싱글 루프 타입 인덕터(single loop type inductor)를 나타내고, 201과 202는 제1 싱글 루프 타입 인덕터의 내부단(inner end)과 외부단(outer end)을 나타낸다. 그리고 참조번호 204는 제2 싱글 루프 타입 인덕터(205)의 내부단을 나타낸다. 제1 싱글 루프 타입 인덕터(201)의 내부단(203)과 제2 싱글 루프 타입 인덕터(205)의 내부단(204)은 크로스 콘택(206)으로 연결되어 있다. 참조번호 208은 제2 싱글 루프 타입 인덕터(205)와 제3 싱글 루프 타입 인덕터(207)를 연결하는 수직 방향 콘택(vertical direction contact)을 나타낸다.

<43> 이와 같은 종래 기술에 의한 인덕터의 경우, 금속층의 두께 증가로 큐값이 증가하는 효과를 기대할 수는 있지만, 상기 금속층사이의 커플링을 비롯해서 나선형 인덕터의 제1 금속층(바닥 금속층)과 실리콘 기판사이의 커플링의 영향 때문에 큐값, 인덕턴스, 사용 범위의 제한성 등 한계를 지니게 된다.

【발명이 이루고자 하는 기술적 과제】

<44> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 높은 큐값(Q-factor)을 갖는, 그러나 면적은 줄일 수 있는 RFIC에 사용되는 인덕터를 제공함에 있다.

【발명의 구성 및 작용】

- <45> 상기 기술적 과제를 달성하기 위하여, 본 발명은 수직 나선 구조를 이루는 복수의 단위 인덕터들을 포함하되, 상기 복수의 단위 인덕터들중 적어도 선택된 어느 하나는 수직 단면이 역사다리꼴이 되도록 형성된 것을 특징으로 하는 인덕터를 제공한다.
- <46> 이때, 상기 선택되지 않은 단위 인덕터들 역시 수직 단면이 역사다리꼴이다.
- <47> 상기 선택되지 않은 단위 인덕터들은 수직 단면이 역사다리꼴, 원형, 삼각형, 사각형 및 타원형 중 어느 하나가 되도록 형성되어 있다.
- <48> 상기 복수의 단위 인덕터들은 모두 크기가 동일한 것이 바람직하나, 적어도 선택된 어느 하나의 크기는 나머지와 다를 수 있다.
- <49> 상기 선택된 어느 하나의 단위 인덕터는 다층으로 형성된 금속층들 및 상기 금속층들을 수직으로 연결하는 도전성 플러그들로 구성된 것이다. 여기서, 상기 금속층들 중에서 최상층과 최하층사이에 형성된 금속층들은 한층에 두 개씩 형성되어 있고, 상기 최상층아래에 형성된 금속층들은 상기 도전성 플러그들로 연결된 부분을 제외하고, 서로 겹치지 않게 형성되어 있다. 이때, 상기 다층으로 형성된 금속층들의 최상층은 상기 선택된 단위 인덕터에 이웃한 단위 인덕터에 속하는 금속층들 중에서 최상층아래에 형성된 금속층과 연결되어 있다. 그리고 상기 최상층과 최하층사이에 형성된 금속층들 중에서 적어도 한층에 형성된 금속층들의 길이, 두께 및 폭은 동일한 것이 바람직하나, 적어도 어느 하나가 다르게 형성될 수 있다. 또한, 상기 도전성 플러그들의 길이는 모두 동일한 것이 바람직하나, 서로 다른 층에 형성된 도전성 플러그들의 경우, 그 길이가 다를 수 있다.

- <50> 상기 다층으로 형성된 금속층들 중에서 상기 최상층아래에 형성된 금속층들은 좌우 대칭인 것이 바람직하다. 이때, 상기 최상층과 최하층사이에 형성된 금속층들의 길이, 두께 및 폭은 동일한 것이 바람직하나, 서로 다른 층에 형성된 금속층들은 길이, 두께 및 폭 중에서 적어도 어느 하나가 다르게 형성된 것일 수 있다. 그리고 상기 도전성 플러그들의 길이는 모두 동일한 것이 바람직하지만, 서로 다른 층에 형성된 도전성 플러그들의 길이는 다를 수 있다.
- <51> 이러한 본 발명을 이용하면, CMOS 공정을 그대로 이용할 수 있기 때문에, 별도의 공정을 추가함이 없이 높은 큐값을 갖는 인덕터를 얻을 수 있다. 그리고 기판과 인덕터, 인덕터를 구성하는 금속층들사이에서 영향을 미치는 기생성분을 최소화하여 인덕터 소자로서의 이용 범위를 확대시킬 수 있다. 또한, 금속층의 턴(turn)수가 동일하더라도 종래의 다층 수평구조에 비해 인덕터가 형성되는 수평면적을 줄일 수 있다. 더욱이, 향후 공정이 더 발달되어 게이트 길이가 줄어들고, 금속층의 적층수가 더 많아짐에 따라 인덕턴스는 더욱 증가된다.
- <52> 이하, 본 발명의 실시예에 의한 RFIC에 사용되는 인덕터를 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- <53> 본 발명에 의한 RFIC에 사용되는 인덕터는 기존의 수평구조를 갖는 인덕터의 단점을 보완하기 위한 것으로, 기판 상에 적층되는 다층 금속층을 비어홀(via hole)을 이용하여 연결하되, 기하학적 형태가 역사다리꼴 모양의 나선형 수직구조인 것에 그 특징이 있다.

<54> <제1 실시예>

<55> 나선형 수직 구조의 인덕터를 구성하는 복수의 역사다리꼴 단위 인덕터의 사이즈가 동일한 것에 특징이 있다.

<56> 구체적으로, 도 4를 참조하면, 나선형 수직 구조를 갖는 제1 인덕터(D1)는 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)로 구성된다. 필요할 경우, 이러한 단위 인덕터는 더 추가될 수 있다. 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)은 각각 역사다리꼴로써, 위로 갈수록 구성하는 금속층간의 간격은 넓어지고, 각층간의 금속층은 비어홀을 통해서 수직으로 연결되기 때문에, 역사다리꼴의 단위 인덕터에서 제일 아래층 금속층과 제일 윗층 금속층을 연결하는 변은 계단이 된다. 각층의 금속층의 두께 및 폭은 일정한 것이 바람직하다. 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)에서, 어느 한 단위 인덕터, 예컨대 제2 단위 인덕터(D1b)의 제일 윗층인 제6 금속층(74)은 이에 인접한 단위 인덕터, 예컨대 제1 단위 인덕터(D1a)의 제5 금속층(68a)과 연결된다. 이때, 제1 단위 인덕터(D1a)의 제5 금속층(68a)과 제2 단위 인덕터(D1b)의 제6 금속층(74)은, 도면에 명확히 구분되게 표시되지는 않았지만, 비어홀을 채우는 도전성 플러그(72a)에 의해 연결된다. 도면에 도시한 바와 같이, 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)은 수평으로 일렬로 정렬되고, 수평으로 주어진 간격만큼 이격된다. 따라서, 제2 단위 인덕터(D1b)의 제6 금속층(74)과 제1 단위 인덕터(D1a)의 제5 금속층(68a)의 상기한 바와 같은 연결을 위해, 제2 단위 인덕터(D1b)의 제6 금속층(74)은 제1 단위 인덕터(D1a)를 향해 주어진 길이 만큼 연장되고, 제1 단위 인덕터(D1a)의 제5 금속층(68a)도 제2 단위 인덕터(D1b)를 향해 제2 단위 인덕터(D1b)의 제6 금속층(74)이 확장된 길이 만큼 연장된다. 제2 단위 인덕터(D1b)의 제6 금속층(74)과 제1 단위 인덕터(D1a)의 제5 금속층(68a)은

각각의 연장된 부분이 상기 도전성 플러그를 통해서 서로 연결되기 때문에, 결국 제2 단위 인덕터(D1b)의 제6 금속층(74)과 제1 단위 인덕터(D1a)의 제5 금속층(68a)은 제2 단위 인덕터(D1b)와 제1 단위 인덕터(D1a)사이의 이격된 공간에서 연결된다. 이러한 연결 방식은 제3 단위 인덕터(D1c)와 제2 단위 인덕터(D1b)사이에서도 성립한다.

<57> 한편, 도 4에는 편의 상 도시하지 않았지만, 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)사이와 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)을 구성하는 금속층들 및 이들을 연결하는 도전성 플러그들 둘레에 절연층이 존재한다. 이에 대해서는 후술된다.

<58> 다음에는 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)의 수직 단면 구성에 대해 설명한다. 상술한 바와 같이, 제1 내지 제3 단위 인덕터들(D1a, D1b, D1c)은 동일한 형태이기 때문에, 상기 수직 단면 구성에 대한 설명은 선택된 두 단위 인덕터들, 곧 제1 및 제2 단위 인덕터들(D1a, D1b)을 대상으로 한다.

<59> 먼저, 제1 단위 인덕터(D1a)의 수직 단면 구성에 대해 설명한다.

<60> 도 5를 참조하면, 기판(40), 예컨대 실리콘 기판 상에 절연층(42)이 형성되어 있다. 절연층(42)은 예들 들면, 실리콘 산화막으로써 기판(40)과 기판(40) 상에 형성된 인덕터간의 커플링을 감소시키기 위해, 기판(40)과 상기 인덕터의 간격을 넓게 하기 위한 것이다. 이러한 절연층(42)의 소정 영역 상에 제1 금속층(44)이 형성되어 있다. 또한, 절연층(42) 상에 제1 금속층(44)을 덮는 제1 층간 절연층(46)이 형성되어 있다. 제1 층간 절연층(46)에 제1 금속층(44)의 양단이 노출되는 제1 비어홀(h1)이 형성되어 있고, 제1 비어홀(h1)은 제1 도전성 플러그(48)로 채워져 있다. 제1 도전성 플러그(48)는 제1 금속층(44)과 제1 금속층(44) 위에 형성된 제2 금속층(50)간의 접촉 저항을 최소화하기 위해 제1 금속층(44)과 동일한 도전성 물질인 것이 바람직하다. 제1 및 제2 금속층(44, 50)

이 서로 다른 도전성 물질인 경우, 제1 도전성 플러그(48)와 제1 및/또는 제2 금속층(44, 50)사이 에 접촉저항을 최소화할 수 있는 다른 도전성 물질이 구비될 수 있다. 이러한 사실은 제2 금속층(50) 위쪽에 형성된 금속층들(56, 62, 68, 74)과 이들을 연결하는 도전성 플러그들(h2, h3, h4, h5)뿐만 아니라, 제2 실시예를 통해서 상세하게 설명될 제2 인덕터를 구성하는 금속층들을 연결하기 위한 도전성 플러그에 대해서도 동일하게 적용될 수 있다.

<61> 계속하면, 제1 층간 절연층(46) 상에 제1 도전성 플러그(48)와 접촉된 제2 금속층(50)이 제1 금속층(44) 양측에 각 하나씩 존재한다. 제2 금속층(50)은 일단이 제1 도전성 플러그(48)와 접촉된 상태로 제1 금속층(44)의 바깥쪽으로 형성되어 있다. 곧, 제2 금속층(50)은 제1 금속층(44)을 중심으로 좌우 대칭이 되도록 형성되어 있되, 제1 도전성 플러그(48)로부터 서로 멀어지는 방향으로 형성되어 있다. 이렇게 해서, 제1 층간 절연층(46) 상에 형성된 두 개의 제2 금속층(50)의 안쪽면 간격은 제1 금속층(44) 양단간의 간격보다 좁지만, 바깥면간의 간격은 그 보다 넓다. 제1 층간 절연층(46) 상에 이러한 제2 금속층(50)을 덮는 제2 층간 절연층(52)이 형성되어 있다. 제2 층간 절연층(52)에 제2 금속층(50)의 바깥쪽 가장자리가 노출되는 제2 비어홀(h2)이 형성되어 있다. 제2 비어홀(h2)은 제2 도전성 플러그(54)로 채워져 있다. 제2 층간 절연층(52)의 소정 영역 상에 제2 도전성 플러그(54)와 접촉된 두 개의 제3 금속층(56)이 주어진 간격만큼 이격되어 좌우로 형성되어 있다. 두 개의 제3 금속층(56)은 두 개의 제2 금속층(50)이 형성된 조건과 동일한 조건으로 형성되어 있고, 제2 금속층(50)이 제1 도전성 플러그(48)와 접촉된 조건과 동일한 조건으로 제2 도전성 플러그(54)와 접촉되어 있다. 제2 층간 절연층(52) 상에 이러한 제3 금속층(56)을 덮는 제3 층간 절연층(58)이 형성되어 있다. 제3

층간 절연층(58)에 두 개의 제3 금속층(56)이 각각 노출되는 두 개의 제3 비어홀(h3)이 두 개의 제2 비어홀(h2)의 간격보다 넓은 간격으로 형성되어 있다. 두 개의 제3 비어홀(h3)을 통해서 두 개의 제3 금속층(56) 각각의 바깥쪽 가장자리가 노출된다. 두 개의 제3 금속층(56)은 두 개의 제2 금속층(50)과 동일한 조건하에서 배치가 결정된다. 때문에, 제1 금속층(44)을 중심으로 좌우 대칭이 되도록 형성된 두 개의 제3 금속층(56)사이의 간격은 상기 두 개의 제2 금속층(50)의 간격보다 넓지만 그 외경보다는 좁다. 또한, 두 개의 제3 금속층(56)사이의 외경은 두 개의 제2 금속층(50)사이의 외경보다 훨씬 넓다.

<62> 이와 같이, 제1 금속층(44)보다 위쪽에 형성된 금속층들은 위쪽에 형성된 것일수록 그 간격도 넓게 형성되어 있다. 이러한 이유로 상하로 위층에 형성된 금속층과 그 아래에 형성된 금속층은 겹치지 않게 되고, 그 결과 수직 구조의 인덕터에서 금속층간의 커패시턴스에 의한 기생 커패시턴스의 발생을 방지할 수 있다.

<63> 계속해서, 제3 층간 절연층(58) 상에 주어진 간격으로 이격된 두 개의 제4 금속층(62)이 제1 금속층(44)을 중심으로 좌우 대칭이 되도록 형성되어 있다. 두 개의 제4 금속층(62)은 두 개의 제3 금속층(56)사이의 간격보다 넓게 이격되어 있고, 안쪽 가장자리가 제3 도전성 플러그(h3)와 접촉되어, 두 개의 제4 금속층(62)과 제3 도전성 플러그(h3)사이의 배치 관계는 제1 도전성 플러그(h1)와 제2 금속층(50)사이의 배치 관계와 동일하다. 제2 내지 제4 금속층(50, 56, 62)은 모두 동일한 두께와 길이로 형성된 것이 바람직하다. 제3 층간 절연층(58) 상으로 두 개의 제4 금속층(62)을 덮는 제4 층간 절연층(64)이 형성되어 있다. 제4 층간 절연층(64)에 두 개의 제4 금속층(62)이 각각 노출되는 두 개의 제4 비어홀(h4)이 두 개의 제3 비어홀(h3)의 간격보다 넓은 간격으로 형성되어 있다. 두 개의 제4 비어홀(h4)을 통해서 두 개의 제4 금속층(62) 각각의 바깥쪽

가장자리가 노출된다. 이러한 제4 비어홀(h4)은 제4 도전성 플러그(66)로 채워져 있다. 제4 층간 절연층(64)의 제4 도전성 플러그(66)를 포함하는 소정 영역 상에 두 개의 제5 금속층(68, 68a)이 제1 금속층(44)을 중심으로 좌우 대칭이 되도록 형성되어 있다. 두 개의 제5 금속층(68, 68a)은 두 개의 제4 금속층(62)보다 넓은 간격으로 이격되어 있고, 서로 가까운 부분은 제4 도전성 플러그(66)와 연결되어 있다. 두 개의 제5 금속층(68, 68a) 중에서 우측에 형성된 제5 금속층(68a)은 도 6에 도시한 제2 단위 인덕터(D1b)와 연결된다. 상기 우측에 형성된 제5 금속층(68a)은 좌측에 형성된 제5 금속층(68)과 동일한 두께 및 길이로 형성될 수 있다. 제4 층간 절연층(64) 상으로 두 개의 제5 금속층(68, 68a)을 덮는 제5 층간 절연층(70)이 형성되어 있다. 제5 층간 절연층(70)에 상기 좌측에 형성된 제5 금속층(68)이 노출되는 제5 비어홀(h5)이 형성되어 있다. 제5 비어홀(h5)을 통해서 상기 좌측에 형성된 제5 금속층(68)의 바깥쪽 가장자리가 노출된다. 제5 비어홀(h5)은 제5 도전성 플러그(72)로 채워져 있다. 제5 층간 절연층(70) 상에 제6 금속층(74)이 형성되어 있다. 제6 금속층(74)은 제5 도전성 플러그(72)와 연결되는데, 이곳으로부터 우측으로 두 개의 제5 금속층(68, 68a)의 외경에 해당하는 길이로 형성되어 있다. 제5 층간 절연층(70)의 제6 금속층(74) 둘레에 제6 층간 절연층(76)이 형성되어 있다.

<64> 이와 같이, 제1 단위 인덕터(D1a)는 제1 내지 제6 금속층(44, 50, 56, 62, 68, 74) 및 이들을 수직으로 연결하는 제1 내지 제5 도전성 플러그(h1, ..., h5)로 구성되어 전체의 기하학적 형태가 역사다리꼴이 되는데, 상기 역사다리꼴의 변에 해당되는 부분은 제1 금속층(44)을 중심으로 좌우 대칭인 계단이 된다. 이렇게 해서, 기판(40)과 기판(40)의

위쪽에 형성된 제1 내지 제6 금속층들(44, 50, 56, 62, 68, 74)간의 커플링은 기판(40)과 제1 금속층(44)간의 커플링으로 최소화된다.

<65> 한편, 도 5에는 제1 단위 인덕터(D1a)의 기하학적 형태가 역사다리꼴이지만, 제1 단위 인덕터(D1a)는 이외의 다른 기하학적 형태를 가질 수 있다. 예컨대, 제1 단위 인덕터(D1a)는 삼각형, 사각형, 원형, 타원형 등이 될 수 있지만, 이때도 상하로 형성되는 금속층간의 커플링을 최소화하기 위해, 겹치는 영역을 최소화하는 것이 바람직하다.

<66> 도 6은 제2 단위 인덕터(D1b)에 대한 수직 단면 구성을 보여주는데, 실질적으로는 도 5에 도시한 제1 단위 인덕터(D1a)와 그 구성이나 형태가 동일하다. 다만, 우측에 형성된 제5 금속층(68a)과 제6 금속층(74)사이의 양자를 연결하는 도전성 플러그(h5a)가 존재한다. 도전성 플러그(h5a)는 제5 도전성 플러그(h5)와 함께 형성된 것으로, 상기한 바와 같이, 제1 및 제2 단위 인덕터(D1a, D1b)사이의 공간에서 제1 단위 인덕터(D1a)의 제5 금속층(68a)과 제2 단위 인덕터(D1b)의 제6 금속층(74)을 연결한다.

<67> <제2 실시예>

<68> 기판과 금속층간의 영향뿐만 아니라 인접한 단위 인덕터를 구성하는 금속층에 의한 영향을 최소화하기 위하여 단위 인덕터의 크기를 다르게 하여 단위 인덕터의 수평 정렬을 나선의 크기가 큰 단위 인덕터, 나선의 크기가 작은 단위 인덕터 순으로 주기적으로 정렬시킨 것에 특징이 있다.

<69> 하기 설명에서, 제1 실시예와 동일한 부재에 대해서는 동일한 참조번호를 그대로 사용한다.

<70> 도 7을 참조하면, 나선형 수직 구조를 갖는 제2 인덕터(D2)는 제4 내지 제6 단위 인덕터(D2a, D2b, D2c)로 구성된다. 제4 내지 제6 단위 인덕터(D2a, D2b, D2c)는 각각 수직으로 역사다리꼴을 하고 있으나, 전체적으로는 수평으로 나선형이 되도록 정렬되어 있다. 그러나 제5 단위 인덕터(D2b)는 그 양측에 구비된 제4 및 제6 단위 인덕터(D2a, D2c)보다 나선의 크기가 작다. 이에 따라, 제5 단위 인덕터(D2b)의 제5 금속층(68b)은 제4 단위 인덕터(D2a)의 제4 도전성 플러그(66)를 통해서 제4 금속층(62)과 연결된다. 또한, 제5 단위 인덕터(D2b)의 제4 금속층(62a)은 제6 단위 인덕터(D2c)의 제6 금속층(74b)과 연결되는데, 양자는 제5 단위 인덕터(D2b)와 제6 단위 인덕터(D2c)사이의 이격된 공간에서 제4 도전성 플러그(66b), 제5 금속층(68c) 및 제5 도전성 플러그(72a)를 통해서 연결된다.

<71> 다음에는 제4 내지 제6 단위 인덕터(D2a, D2b, D2c)의 수직 단면 구성에 대해 설명한다.

<72> 먼저, 제4 단위 인덕터(D2a)의 수직 단면 구성부터 설명한다.

<73> 도 8을 참조하면, 기판(40) 상에 절연층(42)이 형성되어 있고, 절연층(42)의 소정 영역 상에 제1 금속층(44)이 형성되어 있다. 절연층(42) 상으로 제1 금속층(44)을 덮는 제1 층간 절연층(46)이 형성되어 있다. 제1 층간 절연층(46)에 제1 금속층(44)의 양단이 노출되는 두 개의 제1 비어홀(h1)이 주어진 간격(d) 만큼 이격되어 있다. 이후, 제4 층간 절연층(64)과 제4 금속층(62)이 노출되는 제4 비어홀(h4)과 이를 채우는 제4 도전성 플러그(66)까지의 수직 단면 구성은 제1 실시예와 동일하므로, 이에 대한 설명은 생략한다. 제4 층간 절연층(64) 상에 한 개의 제5 금속층(68)이 형성되어 있다. 제5 금속층(68)의 우측은 제4 층간 절연층(64)에 형성된 두 개의 제4 비어홀(h4) 중에서 좌측에 형

성된 것을 채우는 제4 도전성 플러그(66)와 접촉되어 있다. 제4 층간 절연층(64) 상으로 제5 금속층(68)을 채우는 제5 층간 절연층(70)이 형성되어 있고, 제5 층간 절연층(70)에 제5 금속층(68)의 좌측이 노출되는 제5 비어홀(h5)이 형성되어 있다. 제5 비어홀(h5)은 제5 도전성 플러그(72)로 채워져 있다. 제5 층간 절연층(70) 상으로 제5 도전성 플러그(72)와 접촉된 제6 금속층(74a)이 형성되어 있다. 제6 금속층(74a)은 우측으로 제4 도전성 플러그(66) 너머까지 형성되어 있다. 제6 금속층(74a) 둘레에 제6 층간 절연층(76)이 형성되어 있다. 이러한 제4 단위 인덕터(D2b)는 제4 도전성 플러그(66)를 통해서 제5 단위 인덕터(D2b)와 연결된다.

<74> 계속해서, 제4 및 제6 단위 인덕터(D2a, D2c)에 비해 나선의 크기가 작은 제5 단위 인덕터(D2b)의 수직 단면 구성에 대해 설명한다.

<75> 도 9를 참조하면, 제1 층간 절연층(46) 상에 제2 금속층(50a)이 형성되어 있다. 제2 금속층(50a)은 제4 단위 인덕터(D2a) 및 제6 단위 인덕터(D2c)에 속하는 두 개의 제2 금속층(50)사이 에 대응하는 위치에 형성된 것으로, 그 길이(d1)는 제4 단위 인덕터(D2a)의 제1 금속층(44)과 제2 금속층(50)을 연결하는 두 개의 제1 도전성 플러그(48)가 이격된 간격(d)보다 짧은 것이 바람직하다. 제1 층간 절연층(46) 상으로 이러한 제2 금속층(50a)을 덮는 제2 층간 절연층(52)이 형성되어 있다. 제2 층간 절연층(52)에 제2 금속층(50a)의 양단이 노출되는 두 개의 제2 비어홀(h2a)이 형성되어 있다. 두 개의 제2 비어홀(h2a)은 제2 도전성 플러그(54a)로 채워져 있다. 제2 층간 절연층(52) 상에 두 개의 제3 금속층(56a)이 주어진 간격만큼 이격되어 있다. 두 개의 제3 금속층(56a)의 가까운 부분은 각각 두 개의

제2 도전성 플러그(54a)와 연결되어 있다. 이에 따라, 두 개의 제3 금속층(56a)의 간격은 제2 금속층(50a)의 길이(d1)에 비해 좁지만 그 외경은 제2 금속층(50a)의 길이(d1)보다 훨씬 넓다. 그렇지만, 제3 금속층(56a)은 그 외경이 제4 및 제5 단위 인덕터(D2a, D2c)에 속하는 두 개의 제3 금속층(56)사이의 간격보다 작은 것이 바람직하다. 이러한 사실은 도 8 및 도 10을 도 9와 비교함으로써 알 수 있다.

<76> 이렇게 됨으로써, 동일한 층간 절연층 상에 형성되는 제5 단위 인덕터(D2b)에 속하는 금속층과 제4 및 제6 단위 인덕터(D2a, D2c)에 속하는 금속층이 바로 옆에 인접되게 배치되는 것을 피할 수 있고, 그에 따라 인접한 단위 인덕터간의 수평 커플링이 최소화될 수 있다.

<77> 계속해서, 제2 층간 절연층(52) 상으로 제3 금속층(56a)을 덮는 제3 층간 절연층(58)이 형성되어 있다. 제3 층간 절연층(58)에 두 개의 제3 금속층(56a) 각각의 바깥쪽이 노출되는 두 개의 제3 비어홀(h3a)이 형성되어 있다. 따라서, 두 개의 제3 비어홀(h3a)간의 간격은 두 개의 제2 비어홀(h2a)의 간격보다 훨씬 넓다. 그러나 제4 및 제5 단위 인덕터(D2a, D2c)에 속하는 두 개의 제3 금속층(56)간의 간격보다는 좁다. 두 개의 제3 비어홀(h3a)은 제3 도전성 플러그(60a)로 채워져 있다. 제3 층간 절연층(58) 상에 주어진 간격만큼 이격된 두 개의 제4 금속층(62a)이 형성되어 있다. 두 개의 제4 금속층(62a)의 가까운 부분은 제3 도전성 플러그(60a)와 연결되어 있다. 두 개의 제4 금속층(62a)의 외경은 제4 및 제6 단위 인덕터(D2a, D2c)에 속하는 제4 금속층(62)간의 간격보다 좁은 것이 바람직하다. 두 개의 제4 금속층(62a) 중에서 우측에 형성된 것은 도 10에 도시한 제6 단위 인덕터(D2c)에

속하는 제6 금속층(74b)과 연결된다. 제3 층간 절연층(58) 상으로 두 개의 제4 금속층(62a)을 덮는 제4 층간 절연층(64)이 형성되어 있다. 제4 층간 절연층(64)에 두 개의 제4 금속층(62a) 중에서 좌측에 형성된 것의 좌측부분이 노출되는 제4 비어홀(h4a)이 형성되어 있다. 제4 비어홀(h4a)은 제4 도전성 플러그(66a)로 채워져 있다. 제4 층간 절연층(64) 상으로 제5 금속층(68b)이 형성되어 있다. 제5 금속층(68b)은 제4 도전성 플러그(h4a)와 연결되어 있고, 이곳으로부터 우측으로 주어진 길이만큼 확장되어 있다. 제5 금속층(68b)의 길이는 제4 및 제6 단위 인덕터(D2a, D2c)에 속하는 두 개의 제4 비어홀(h4)사이의 간격보다 짧은 것이 바람직하다.

<78> 한편, 도 9에서 제3 층간 절연층(58) 상에는 가상선으로 도시한 바와 같이 제4 단위 인덕터(D2a)에 속하는 제4 금속층(62)이 존재하는데, 이는 제5 금속층(68b)과 연결된다. 제4 금속층(62)과 제5 금속층(68b)은 제4 금속층(62)의 우측이 노출되는 제4 비어홀(h4)을 채우는 제4 도전성 플러그(66)를 통해서 연결된다.

<79> 계속해서 도 9를 참조하면, 제4 층간 절연층(64) 상으로 제5 금속층(68b)을 덮는 제5 층간 절연층(70)이 형성되어 있고, 제5 층간 절연층(70) 상에 제6 층간 절연층(76)이 형성되어 있다.

<80> 다음에는 도 10을 참조하여 제6 단위 인덕터(D2c)의 수직 단면 구성에 대해 설명한다.

<81> 도 10에 도시한 바와 같이, 제6 단위 인덕터(D2c)의 수직 단면 구성은 기관(40)으로부터 제4 도전성 플러그(66)까지의 구성이 도 8에 도시한 제4 단위 인덕터(D2a)의 구성과 동일하다. 따라서 이들에 대한 설명은 생략한다.

- <82> 도 10을 참조하면, 제4 층간 절연층(64) 상에 제4 도전성 플러그(66)와 연결된 한 개의 제5 금속층(68)이 형성되어 있고, 이러한 제5 금속층(68)을 덮는 제5 층간 절연층(70)이 형성되어 있다. 제5 층간 절연층(70)에 제5 금속층(68)의 좌측이 노출되는 제5 비어홀(h5)이 형성되어 있다. 제5 비어홀(h5)은 제5 도전성 플러그(72)로 채워져 있다. 제5 층간 절연층(70) 상으로 제5 도전성 플러그(72)와 연결된 제6 금속층(74b)이 형성되어 있다. 제6 금속층(74b)은 제4 비어홀(h4) 너머까지 확장되어, 도 9에 도시한 제5 단위 인덕터(D2b)에 속하는 두 개의 제4 금속층(62a) 중에서 우측에 형성된 것과 연결된다.
- <83> 상술한 본 발명의 제2 실시예에 의한 RFIC에 사용되는 인덕터의 경우, 단위 인덕터의 크기가 다르기 때문에, 기판(40)과 금속층간의 커플링이 제1 실시예에 의한 인덕터의 경우보다 줄어든다.
- <84> 본 발명의 제1 및 제2 실시예에 의한 인덕터의 경우, 어느 것이나 종래에 비해 C_p 와 R_p 가 작다. 따라서, 종래의 인덕터보다 쿼값이 커지게 된다. 또한, 제2 실시예에 의한 인덕터의 경우, 수평적으로 단위 인덕터의 겹침이 작기 때문에 C_s 가 감소된다. 이에 따라, 인덕터의 전기 에너지(E_e) 및 에너지 손실(E_{loss})을 줄일 수 있고, 결국 쿼값이 증가하게 된다.
- <85> 계속해서, 본 발명자는 상술한 본 발명의 실시예에 의한 인덕터의 특성을 검증하기 위해, 동일한 조건에서 본 발명의 제1 및 제2 실시예에 의한 인덕터와 도 1에 도시한 수평 구조를 갖는 수평 나선형 인덕터에 대한 3차원 구조 해석 시뮬레이션을 실시하여 각의 쿼값을 비교하였다. 상기 시뮬레이션에서, 인덕터를 구성하는 금속층의 폭은 $3\mu m$,

금속층의 턴(turn)사이의 간격은 $4\mu\text{m}$, 금속층의 두께는 $1\mu\text{m}$, 금속층의 총길이는 $230\mu\text{m}$ 가 되게 하였다.

<86> 도 11은 상기 시뮬레이션에 사용된 본 발명의 제1 실시예에 의한 인덕터를 입체적으로 보여주고, 도 12는 상기 시뮬레이션 결과를 보여준다.

<87> 도 12에서, 제1 및 제2 그래프(G1, G2)는 각각 본 발명의 제1 및 제2 실시예에 의한 인덕터에 대한 시뮬레이션 결과를 나타낸 것이고, 제3 그래프(G3)는 도 1에 도시한 인덕터에 대한 결과를 나타낸 것이다.

<88> 제1 내지 제3 그래프들(G1, G2, G3)의 비교를 통해서, 어느 경우에서나 주파수에 따라 모두 큐값이 증가한다는 것을 알 수 있었다. 그리고 주파수를 고정한 경우, 본 발명의 제2 인덕터의 큐값이 가장 크고, 그 다음으로 본 발명의 제1 인덕터의 큐값이 크며, 도 1에 도시한 인덕터의 큐값이 가장 낮다는 것을 알 수 있었다.

<89> 또한, 인덕터가 차지하는 면적의 관점에서, 본 발명에 의한 인덕터는 어느 것이나 $25 \times 34(\mu\text{m}^2)$ 정도였으나, 도 1에 도시한 인덕터의 경우, $39 \times 36\mu\text{m}^2$ 정도로서 본 발명에 의한 인덕터가 차지하는 면적이 훨씬 작았다.

<90> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 제1 인덕터 또는 제2 인덕터에 속하는 금속층의 길이를 각 금속층마다 다르게 할

수도 있을 것이다. 또한, 제2 인덕터의 경우, 각 단위 인덕터의 모양을 다르게 할 수도 있을 것이다. 예를 들어, 제4 단위 인덕터는 역사다리꼴로, 제5 단위 인덕터는 삼각형으로, 제6 단위 인덕터는 원형, 사각형 또는 타원형으로 구현할 수 있을 것이다. 또한, 본 발명에서 제시한 구조와 기존의 구조를 조합한 새로운 인덕터를 구현할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구 범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<91> 상술한 바와 같이, 본 발명의 실시예에 의한 인덕터는 도 5 및 도 6, 도 8 내지 도 10에 도시한 바와 같이 반도체 제조공정에서의 CMOS 공정을 이용하여 만들 수 있기 때문에, 별도의 공정이 추가되지 않는다. 이와 함께 기판과 인덕터, 인덕터를 구성하는 금속층들사이의 수직 및 수평 커플링에 의한 기생 성분을 최소화하여 인덕터의 Q값을 크게 할 수 있을 뿐만 아니라 인덕터 소자로서의 이용 범위를 확대시킬 수 있다. 또한, 금속층의 턴(turn)수가 동일하더라도 종래의 다층 수평구조에 비해 인덕터가 형성되는 수평면적을 줄일 수 있다. 더욱이, 향후 공정이 더 발달되어 게이트 길이가 줄어들고, 금속층의 적층수가 더 많아짐에 따라 인덕턴스는 더욱 증가될 수 있다.

【특허청구범위】**【청구항 1】**

수직 나선 구조를 이루는 복수의 단위 인덕터들을 포함하되,
상기 복수의 단위 인덕터들중 적어도 선택된 어느 하나는
수직 단면이 역사다리꼴이 되도록 형성된 것을 특징으로 하는 인덕터.

【청구항 2】

제 1 항에 있어서, 상기 복수의 단위 인덕터들의 선택되지 않은 단위 인덕터들도
그 수직 단면이 역사다리꼴이 되도록 형성된 것을 특징으로 하는 인덕터.

【청구항 3】

제 1 항에 있어서, 상기 복수의 단위 인덕터들의 선택되지 않은 단위 인덕터들은
그 수직 단면이 역사다리꼴, 원형, 삼각형, 사각형 및 타원형 중 어느 하나가 되도록 형
성된 것을 특징으로 하는 인덕터.

【청구항 4】

제 2 항에 있어서, 상기 복수의 단위 인덕터들의 크기는 동일한 것을 특징으로 하
는 인덕터.

【청구항 5】

제 2 항에 있어서, 상기 복수의 단위 인덕터들 중 선택된 어느 하나의 크기가 나머
지와 다른 것을 특징으로 하는 인덕터.

【청구항 6】

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 선택된 어느 하나의 단위 인덕터는,

다층으로 형성된 금속층들; 및

상기 금속층들을 수직으로 연결하는 도전성 플러그들로 구성된 것이되,

상기 금속층들 중에서 최상층과 최하층사이에 형성된 금속층들은 한 층에 두 개씩 형성되어 있고, 상기 금속층들 중에서 최상층아래에 형성된 금속층들은 상기 도전성 플러그로 연결된 부분을 제외하고, 서로 겹치지 않게 형성된 것을 특징으로 하는 인덕터.

【청구항 7】

제 6 항에 있어서, 상기 다층으로 형성된 금속층들 중에서 상기 최상층아래에 형성된 금속층들은 좌우 대칭이 되도록 형성된 것을 특징으로 하는 인덕터.

【청구항 8】

제 6 항에 있어서, 상기 다층으로 형성된 금속층들의 최상층은 상기 선택된 단위 인덕터에 이웃한 단위 인덕터에 속하는 금속층들 중에서 최상층아래에 형성된 금속층과 연결된 것을 특징으로 하는 인덕터.

【청구항 9】

제 6 항에 있어서, 상기 최상층과 최하층사이에 형성된 금속층들 중에서 적어도 한 층에 형성된 금속층들의 길이, 두께 및 폭은 동일한 것을 특징으로 하는 인덕터.

【청구항 10】

제 6 항에 있어서, 상기 최상층과 최하층사이에 형성된 금속층들 중에서 적어도 한 층에 형성된 금속층들은 길이, 두께 및 폭 중에서 적어도 어느 하나가 다르게 형성된 것을 특징으로 하는 인덕터.

【청구항 11】

제 7 항에 있어서, 상기 최상층과 최하층사이에 형성된 금속층들의 길이, 두께 및 폭은 동일한 것을 특징으로 하는 인덕터.

【청구항 12】

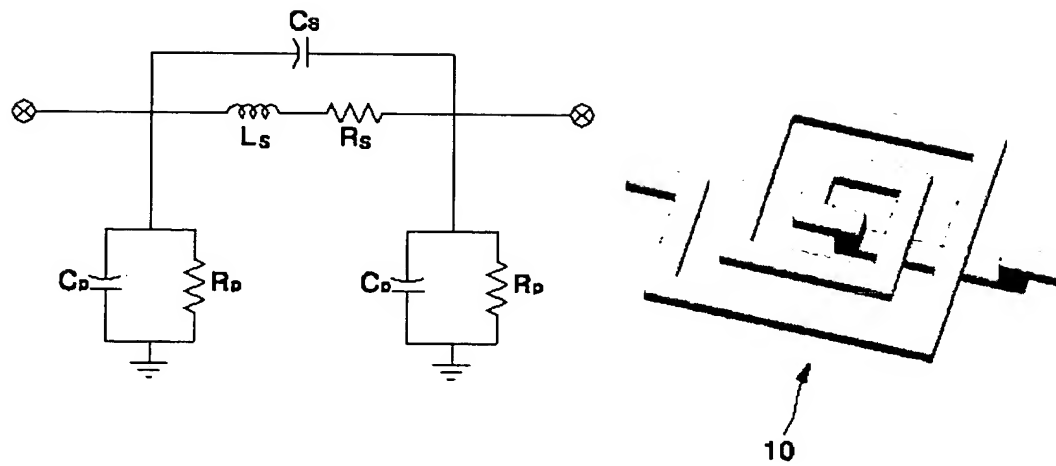
제 7 항에 있어서, 상기 최상층과 최하층사이에 형성된 금속층들 중에서 서로 다른 층에 형성된 금속층들은 길이, 두께 및 폭 중에서 적어도 어느 하나가 다르게 형성된 것을 특징으로 하는 인덕터.

【청구항 13】

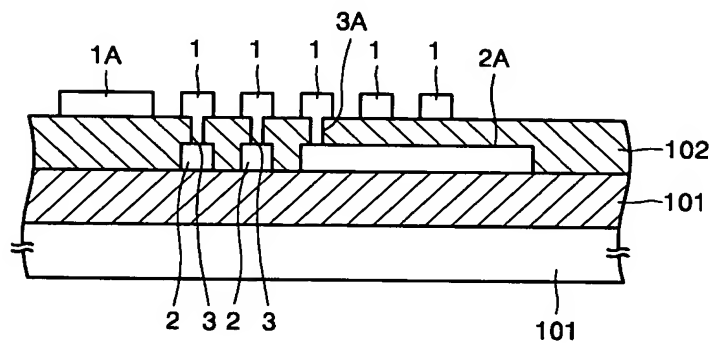
제 6 항에 있어서, 상기 도전성 플러그들 중에서 서로 다른 층에 형성된 도전성 플러그들의 길이는 다른 것을 특징으로 하는 인덕터.

【도면】

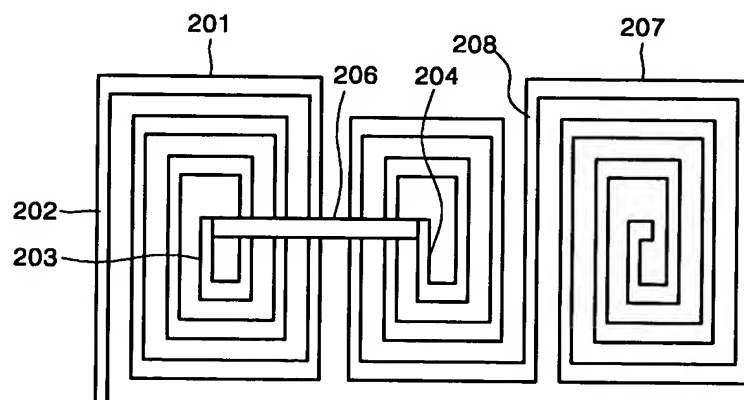
【도 1】



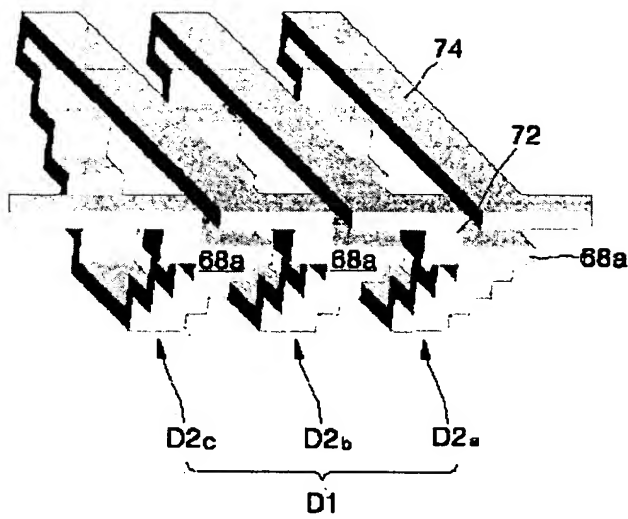
【도 2】



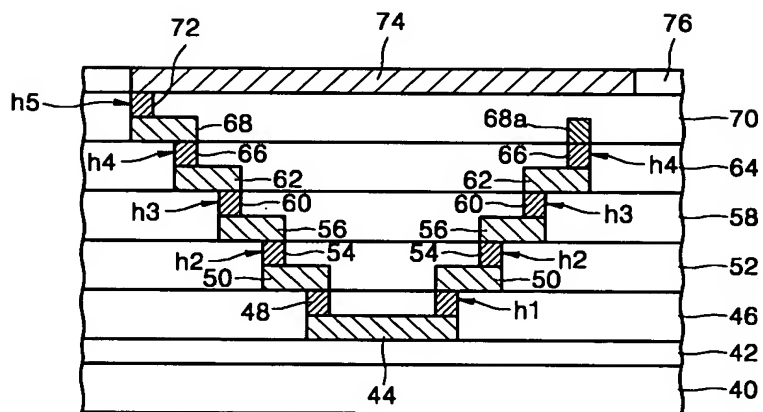
【도 3】



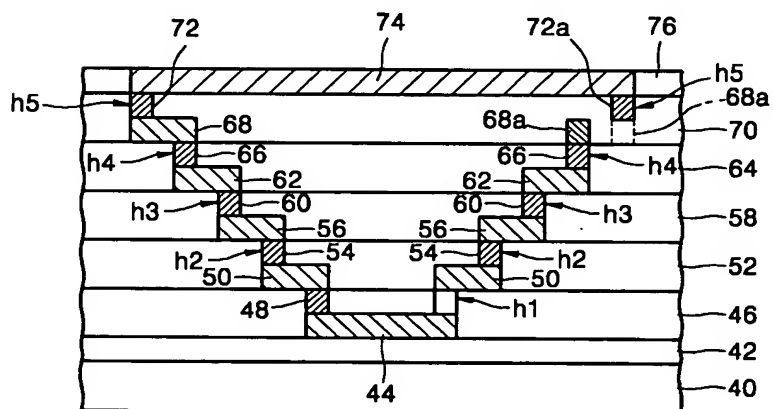
【도 4】



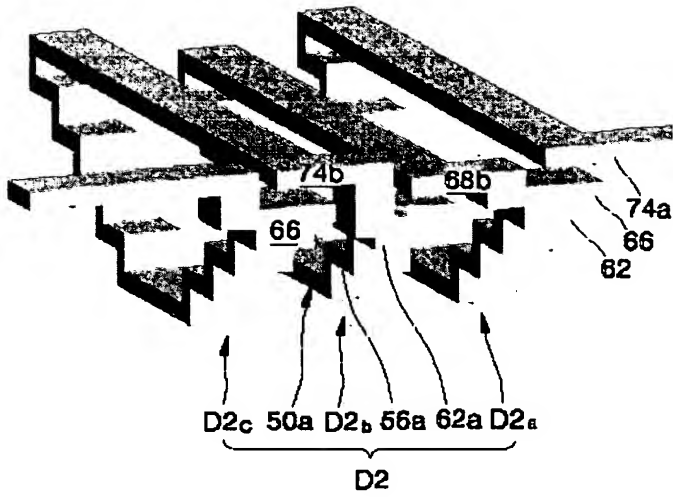
【도 5】



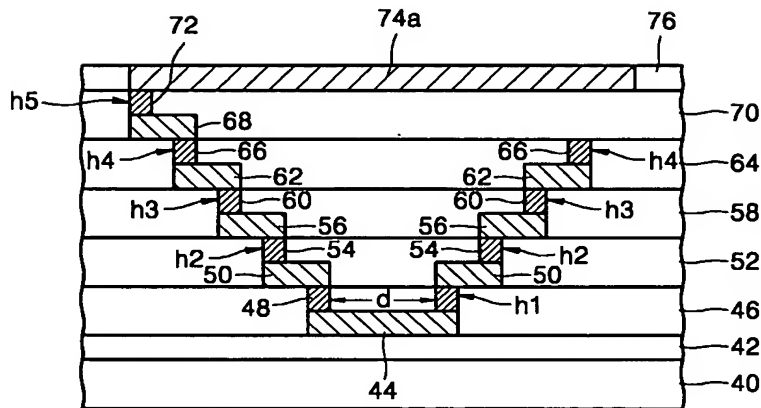
【도 6】



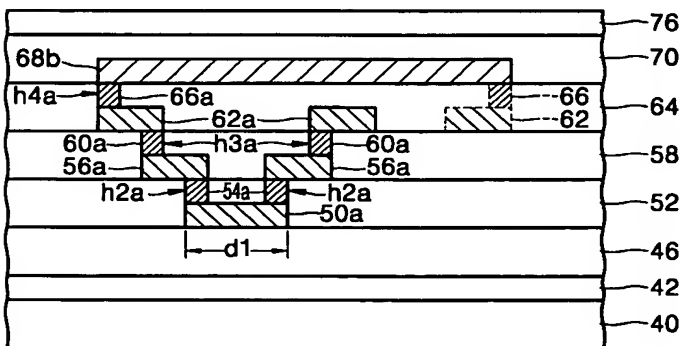
【도 7】



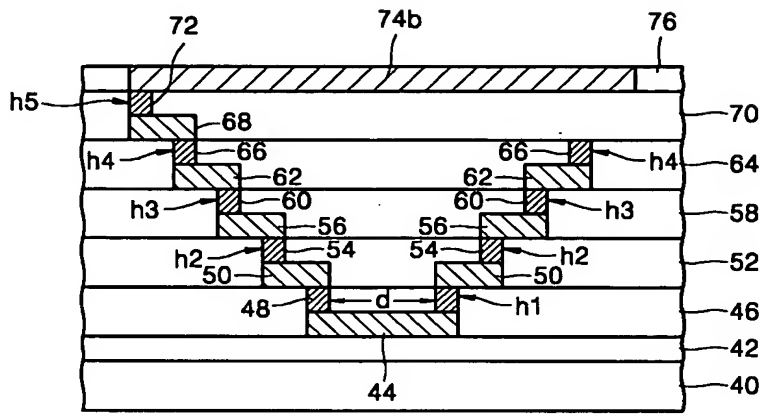
【도 8】



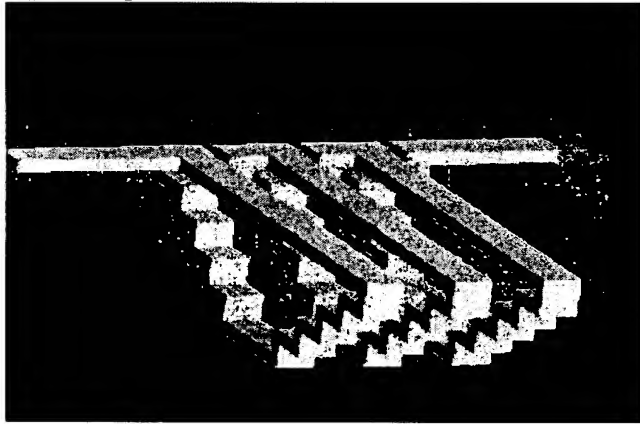
【도 9】



【도 10】



【도 11】



【도 12】

